

⑫ 公開特許公報(A) 平1-271766

⑤Int. Cl.⁴ 識別記号 庁内整理番号 ⑬公開 平成1年(1989)10月30日
 G 03 G 15/00 1 0 2 8004-2H
 B 41 J 3/00 Z-7612-2C
 H 01 L 27/04 F-7514-5F
 H 04 N 1/00 C-7334-5C
 1/40 A-6940-5C 審査請求 未請求 請求項の数 1 (全6頁)

⑭発明の名称 画像形成プロセッサ

⑯特 願 昭63-100095

⑰出 願 昭63(1988)4月25日

⑱発 明 者 本 山 肇 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑲出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
 ⑳代 理 人 弁理士 丹羽 宏之

DF1

明 細 書

1. 発明の名称

画像形成プロセッサ

2. 特許請求の範囲

マイクロコンピュータとその周辺のメモリ、カウンタ等のデジタル回路と、オペアンプ、コンパレータ、PWM回路等のアナログ回路とをCMOSプロセス構造で構成し、1チップに集積したことを特徴とする画像形成プロセッサ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、複写機、プリンタ等の画像形成装置で用いる画像形成プロセッサに関するものである。

(従来技術)

従来、複写機、プリンタ等の画像形成装置においては、その制御装置は、モータ、ソレノイド等の負荷、低電圧・露光・帯電用各種電源の制御を行うシーケンスコントローラ回路、該低電圧・露

光・帯電用各種電源の回路が全く別の基板に形成されていた。

また、回路を簡素化するため、電源の安定化制御をシーケンスコントロール制御用のマイクロコンピュータのプログラムにより行う方式が提案されていた。

(発明が解決しようとする課題)

上述のように、従来の画像形成装置の制御回路は各部が別の基板に形成されていたので、装置の小型、軽量化が困難であった。

また、電源の安定化をマイクロコンピュータのプログラムで行う方式は、電源の出力を検知し、その後A/D変換し、マイクロコンピュータに入力し、プログラム制御の結果をPWM制御する為、高速応答、高精度の出力を得る為には、高速処理のマイクロコンピュータ及び高精度のA/Dコンバータが必要となり、コスト面及びプログラムの複雑さの問題が生じることと、マイクロコンピュータの周辺回路即ち、ドライバ回路、レベル変換回路等のアナログ回路が、ディスクリー

ト回路で残り、それ程小型化、簡素化にならないという問題があり、利点があるにもかかわらず、実用化には至っていない。

本発明は、これらの問題に鑑みなされたもので、画像形成装置を小型、ローコスト化できる画像形成プロセッサを提供することを目的とするものである。

(課題を解決するための手段)

上記目的を達成するため、本発明では画像形成プロセッサをつぎのように構成する。

マイクロコンピュータとその周辺のメモリ、カウンタ等のデジタル回路と、オペアンプ、コンパレータ、PWM回路等のアナログ回路とをC-MOSプロセス構造で構成し、1チップに集積するようにする。

(作用)

この構成により、画像形成装置の制御部は、小型化、低消費電力化する。

(実施例)

以下、本発明を実施例により説明する。

3

給される電圧は、第2図で示されたスイッチングレギュレータ回路により供給される。該供給電力の一部は、R4を介してQ23の定電圧回路に加えられる。それによりQ23より与えられる基準電圧と素子L1、C10の接続点で得られる5V出力をコンパレータQ2で比較してトランジスタTr6の通電比率を変えることにより5V出力を安定化させる。該出力はCPUコアQ1の電源を含めたチップ内のバイアス電源として供給される。

Q21のリセット回路は該5V電源の立上りタイミングを検出してCPUコアQ1にリセットパルスを与える。Q22のウォッチドックタイマは、プログラミングによって発生する繰返し信号の異常を検知して、リセット回路Q21にリセットパルスを発生させる。オペアンプQ3は、モータやソレノイド等の駆動デバイスや露光・帯電・現像・転写等の電源に供給される24V電源の安定化制御のための差動増幅器として用いられる。第2図のスイッチングレギュレータのコンバータ

5

第1図は本発明の一実施例である「画像形成プロセッサ」の構成図であり、第2図はこの画像形成プロセッサに接続されるスイッチングレギュレータの回路図である。

第1図において、一点鎖線内が1チップの画像形成プロセッサであり、Q1はCPUコアで、メモリ、内部バス等を含む。

Q2～Q11はオペアンプもしくはコンパレータ、Q12、Q13はアナログマルチプレクサ回路、Q14～Q16はPWM回路(パルス幅変調回路)、Q17、Q18はタイマカウンタ、Q19はLCDドライバ、Q20は外部機器との通信のための制御回路、Q21は電源投入時のCPUのリセット回路、Q22はCPUのプログラム暴走を検知するウォッチドックタイマ回路、Q23は定電圧回路である。

Q2のコンパレータは、チップ外に設けられたトランジスタTr5、Tr6、素子L1、C10と共に、本チップへの供給電源(+5V)の自動式のスイッチング電源を構成する。この回路へ供

4

トランスT21の24V用巻線の整流平滑出力を前述の定電圧回路Q23の出力と比較して、フォトカプラPc1のフォトダイオードの電流を制御する。出力ポートには図示した用に、種々のモータやソレノイドが接続され入力ポートに接続された多くのセンサの出力をCPUが検知し、予めCPUのプログラムメモリに記録された手順に従い、該出力ポートに出力され、モータ、ソレノイド等が制御される。

センサ出力に異常があれば、前述のオペアンプQ3の入力端子に接続されたFET Tr1をonさせて24V電源を0Vに制御し、モータ、ソレノイドや露光・帯電・現像電源をすべて遮断する。又、定着ヒータや露光ランプの異常昇温や、動作の異常を検知した場合、FET Tr3、Tr4をonさせ、外部コンデンサC9を充電し、ライン電源遮断後も、所定時間以上異常検知モードを持続できるようになっている。

コンパレータQ4、オペアンプQ5、FET Tr4はCPUの制御の下でA/Dコンバータを

6

形成する。それによりマルチプレクサによって選択された温度調整用ボリュームVR1の設定電圧、定着ローラの温度検知サーミスタの電圧、蛍光灯の光量調整用フォトダイオードPc2の出力などの検出に用いられる。

Q17のタイマカウンタは、CPUの制御の下、D/Aコンバータを形成する。その出力をマルチプレクサQ13により切換えることで、Q14～Q16のPWM回路をそれぞれCPUのプログラム制御を行うことを可能とし、蛍光灯の光量、帯電用高電圧、現像バイアス直流電圧が制御される。

Q18のタイマカウンタは現像バイアス交流信号を発生し、当然CPUによりプログラム制御される。Q19はLCDドライバで、外部に接続されるLCD表示器を制御する。Q20のシリアルI/Oは、外部機器例えば工場や市場での調整検査を行うためのチェッカーやADF、DF、枚数カウンタ等のアプリケーション機器との通信等を行うものである。

7

ETのドレインを互いに接続したものを構成単位としてマイクロコンピュータ、その周辺のメモリ、カウンタ等のデジタル回路が形成される。

画像形成プロセッサは、以上のように形成されており、画像形成装置における、スイッチ、フォトインタラプタ等の各種センサ出力の検知、この検知出力にもとづくモータ、ソレノイド、リレー等の各種駆動手段の制御、これらのシーケンス制御用、低電圧・露光・帯電・現像用の各種電源の制御、及びLED、液晶のディスプレイ等の制御など、全ての制御を行うことができる。

なお、画像形成プロセッサは、電源電圧概略5V以下のシリコンゲートCMOSプロセス構造で形成してもよい。

また、画像形成プロセッサは、複写プロセス完了後、所定ポートの入力が所定時間読込まれない時は、CPU Q1のクロック周波数を落して節電モードに入り、その後同じ入力ポートに入力が読込まれて通常モードに復帰するように構成してもよい。

第2図において、103のレギュレータ回路はPc1で光変換された信号によりPWM制御を行いスイッチングFET Tr101を制御することによりコンバータトランスT21の2次側の24V出力を安定化させる。

第3図は、C-MOSプロセス構成のオペアンプの回路図を示す。

図において、FET Q201、Q202、Q206、Q207、Q209はPMOS、FET Q203、Q204、Q205、Q208はNMOSである。入力FET Q201、Q202とFET Q203、Q204により差動増幅回路が作られる。FET Q206、Q207、Q209は定電流源である。FET Q205とFET Q208は増幅回路で、C200は位相保障用キャパシタである。

同様の構成でコンパレータ、PWM回路等のアナログ回路が形成される。

一方、NMOSFETのドレインとPMOSF

B

(発明の効果)

以上説明したように、本発明によれば、

- a. 複写機、プリンタ等の画像形成装置のシーケンスコントローラ、電源制御回路を含めた大部分の制御回路を1チップの画像形成プロセッサに集積できるため、装置の小型化が容易となる。
- b. 電源安定化制御がアナログ回路で行われるためCPUには、この面の負担が無く、ローコストのCPUを使用できる。
- c. 画像形成プロセッサのチップは、C-MOSですべて構成可能なため、特別な製造プロセスを必要とせず、また、低消費電力、小型化が可能となる。

4. 図面の簡単な説明

第1図は本発明の一実施例の構成図、第2図は同実施例で用いられるスイッチングレギュレータの回路図、第3図は、同実施例で用いるC-MOSのオペアンプの回路図である。

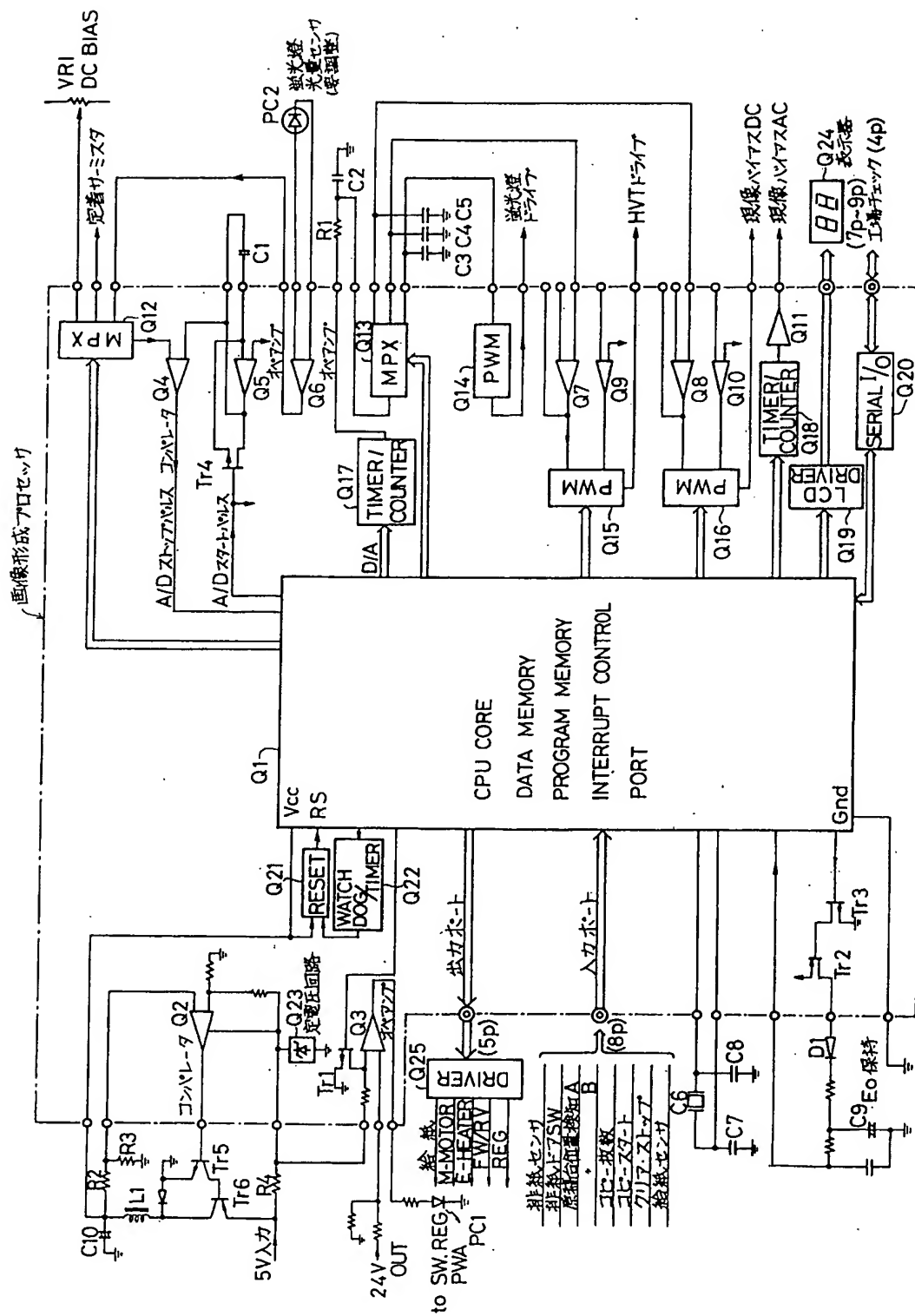
Q1...CPUコア

Q 2 ~ Q 1 1 ... オペアンプもしくはコンパレータ

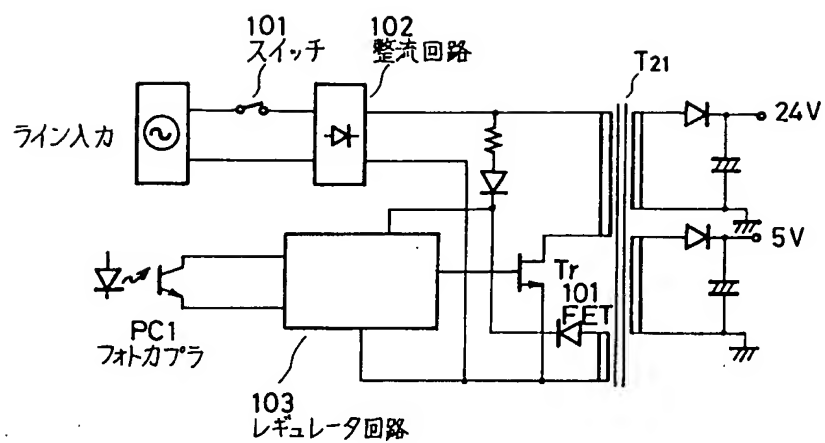
Q 1 4 , Q 1 5 , Q 1 6 ... P W M 回路

出願人 キヤノン株式会社

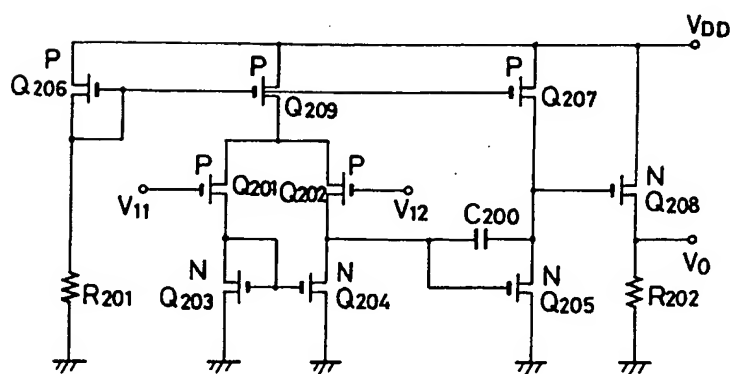
1 1



実施例の構成図
第 1 図



実施例で用いられるスイッチングレギュレータの回路図
第 2 図



実施例で用いる C-MOS のオペアンプの回路図
第 3 図